



# KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020010004749 (43) Publication Date. 20010115

(21) Application No.1019990025463 (22) Application Date. 19990629

(51) IPC Code:  
H01L 27/108

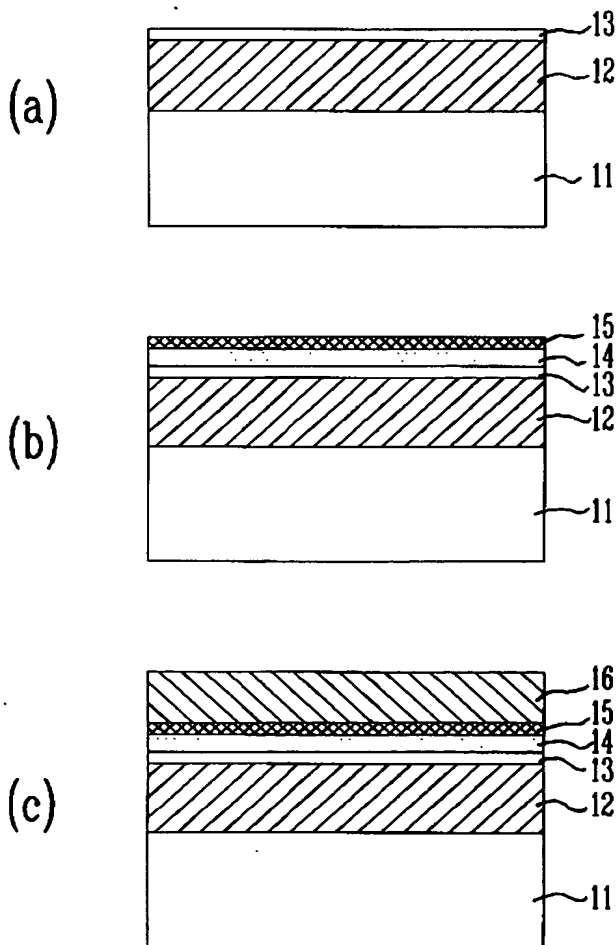
(71) Applicant:  
HYNIX SEMICONDUCTOR INC.

(72) Inventor:  
KIM, GYEONG MIN  
LIM, CHAN  
PARK, GI SEON

(30) Priority:

(54) Title of Invention  
METHOD FOR MANUFACTURING CAPACITOR OF SEMICONDUCTOR DEVICE

Representative drawing



(57) Abstract:

PURPOSE: A method for manufacturing a capacitor of a semiconductor device is provided to realize a high capacitance and a low leakage current by forming a dielectric layer as a double layer of a tantalum oxide and a titanium oxide.

CONSTITUTION: A method for manufacturing a capacitor of a semiconductor device comprises the following steps. A polysilicon layer(12) is formed on an upper portion of a semiconductor substrate (11) by using a lower electrode. A nitride layer(13) is formed on a surface of the polysilicon layer(12) by performing a fast thermal nitrification process. A dielectric layer is formed on an upper portion of nitride

layer(13) by using a tantalum oxide layer(14) and a titanium oxide layer(15). A titanium layer(16) as an upper electrode is formed on an upper portion of the titanium oxide layer(15).

COPYRIGHT 2001 KIPO

if display of image is failed, press (F5)

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

|   |  |  |
|---|--|--|
| (51) Int. Cl. <sup>6</sup><br>H01L 27/108 | (45) 공고일자<br>(11) 등록번호<br>(24) 등록일자  | 2001년 11월 01일<br>10-0297100<br>2001년 05월 17일             |
| (21) 출원번호<br>(22) 출원일자                    | 10-1999-0025463<br>1999년 06월 29일   | (65) 공개번호<br>(43) 공개일자<br>특2001-0004749<br>2001년 01월 15일 |
| (73) 특허권자                                 | 주식회사 하이닉스반도체   |  |
| (72) 발명자                                  | 경기 이천시 부발읍 아미리 산136-1<br>김경민<br>경기도 안양시 만안구 안양4동 벽산아파트2-1109<br>박기선<br>경기도 이천시 창전동 성환빌라나동303호<br>임찬<br>경기도 이천시 대월면 사동리 현대5차아파트502-1702 |  |
| (74) 대리인                                  | 신영무, 최승민   |  |
| 심사관 : 조지은                                 |  |  |
| (54) 반도체 소자의 캐패시터 제조 방법                   |  |  |

요약

본 발명은 반도체 소자의 캐패시터 제조 방법에 관한 것으로, 하부 전극을 형성한 후 높은 절연 파괴 전압 특성을 갖는 탄탈륨 옥사이드와 고유전율 특성을 갖는 티타늄 옥사이드의 이중막으로 캐패시터의 유전체막을 형성함으로써 높은 정전 용량과 낮은 누설 전류 특성을 동시에 확보할 수 있는 반도체 소자의 캐패시터 제조 방법이 제시된다.

대표도

도 1

색인어

유전체막, 탄탈륨 옥사이드막, 티타늄 옥사이드막

명세서

도면의 간단한 설명

도 1(a) 내지 도 1(c)는 본 발명에 따른 반도체 소자의 캐패시터 제조 방법을 설명하기 위한 소자의 단면도.

<도면의 주요 부분에 대한 부호의 설명>

- 11 : 반도체 기판    12 : 폴리실리콘막  
13 : 질화막    14 : 탄탈륨 옥사이드막  
15 : 티타늄 옥사이드막    16 : 티타늄 나이트라이드막

발명의 상세한 설명

발명의 목적

### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 캐패시터 제조 방법에 관한 것으로, 특히 높은 절연 파괴 전압 특성( $E_{bd}>7\text{MV/cm}$ )을 갖는 탄탈륨 옥사이드( $\text{Ta}_2\text{O}_5$ )와 고유전율 특성( $\epsilon_r=40\sim60$ )을 갖는 티타늄 옥사이드( $\text{TiO}_2$ )의 이중막으로 유전체막을 형성함으로써 높은 정전 용량과 낮은 누설 전류 특성을 동시에 확보할 수 있는 반도체 소자의 캐패시터 제조 방법에 관한 것이다.

탄탈륨 옥사이드( $\text{Ta}_2\text{O}_5$ )는 기존의 DRAM 제조 공정에서 캐패시터의 유전체막으로 사용되는 ONO막(Oxide-Nitride-Oxide)보다 유전율이 5배 정도 더 크므로 1G 이상의 고집적도가 요구되는 DRAM 제조 공정에서 캐패시터의 유전체막 물질로 각광받고 있다. 특히  $\text{Ta}_2\text{O}_5$ 는 CVD 공정을 사용하여 높은 스텝커버리지를 얻을 수 있고, 후속 열처리 공정에 의해 유전 특성이 좋고 누설 전류가 작은 막으로 구현될 수 있다.

그런데, 소자가 점점 고집적화됨에 따라 안정된 소자의 동작을 위해 필요한 셀당 캐패시터스는 변화가 없으나, 캐패시터 셀 사이즈는 점점 줄어들어 탄탈륨 옥사이드의 단일막으로 유전체막을 형성할 경우에는 캐패시터의 충분한 정전 용량과 낮은 누설 전류를 동시에 확보할 수 없다.

이러한 문제를 해결하기 위해서는 탄탈륨 옥사이드막에 비해 유전율이 더 높은 물질과 함께 복합 구조를 사용하여 각각의 물질 특성을 극대화하여야 한다.

### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 높은 절연 파괴 전압 특성( $E_{bd}>7\text{MV/cm}$ )을 갖는 탄탈륨 옥사이드와 고유전율 특성( $\epsilon_r=40\sim60$ )을 갖는 티타늄 옥사이드의 이중막으로 유전체막을 형성함으로써 높은 정전 용량과 낮은 누설 전류를 동시에 확보할 수 있는 반도체 소자의 캐패시터 제조 방법을 제공하는데 그 목적이 있다.

상술한 목적을 달성하기 위한 본 발명은 반도체 소자의 캐패시터 제조 방법에 있어서, 소정의 공정을 통해 하부 구조가 형성된 반도체 기판 상부에 하부 전극으로 폴리실리콘막을 형성하는 단계와, 급속 열질화 공정을 실시하여 상기 폴리실리콘 표면에 질화막을 형성하는 단계와, 상기 질화막 상부에 탄탈륨 옥사이드막 및 티타늄 옥사이드막으로 유전체막을 형성하는 단계와, 상기 티타늄 옥사이드막 상부에 상부 전극으로 티타늄막을 형성하는 것을 특징으로 한다.

### 발명의 구성 및 작용

첨부된 도면을 참조하여 본 발명을 상세히 설명하기로 한다.

도 1(a) 내지 도 1(c)는 본 발명에 따른 반도체 소자의 캐패시터 제조 방법을 설명하기 위한 소자의 단면도이다.

도 1(a)를 참조하면, 소정의 공정을 통해 게이트, 소오스, 드레인 및 비트라인등의 하부 구조가 형성된 반도체 기판(11) 상부에 하부 전극으로 폴리실리콘막(12)을 형성한다. 폴리실리콘막(12)의 표면을 HF 또는 BOE로 식각하여 자연 산화막을 제거한다. 급속 열질화 공정을 실시하여 폴리실리콘막(12)의 표면에 질화막(13)을 형성한다. 급속 열질화 공정은  $800\sim950^\circ\text{C}$ 에서 실시하는 것으로, 후속 열처리 공정에서 산화막의 형성을 억제하기 위한 것이다.

도 1(b)를 참조하면, 질화막(13) 상부에 유전체막으로 탄탈륨 옥사이드막(14)을 형성한다. 탄탈륨 옥사이드막(14)의 탄소 및 불순물을 제거하기 위해  $300\sim500^\circ\text{C}$ 의  $\text{N}_2\text{O}$  플라즈마 어닐 공정을 실시한 후 티타늄 옥사이드막(15)을 형성한다. 탄탈륨 옥사이드막(14)은 다음과 같은 방법으로 형성한다. 먼저, 액상인 탄탈륨 에칠레이트( $\text{Ta}(\text{OC}_2\text{H}_5)_5$ )를  $170\sim190^\circ\text{C}$ 의 온도를 유지하는 기화기에서 기상 상태로 만든다. 기상 상태의 탄탈륨 에칠레이트 소오스 가스와 반응 가스로 사용되는 산소 가스를  $0.1\sim10\text{Torr}$ 의 압력을 유지하는 반응로에 유입시켜  $350\sim450^\circ\text{C}$ 로 가열된 웨이퍼에 증착한다. 이때 탄탈륨 에칠레이트 소오스 가스는  $0.001\sim2\text{cc}$ 의 양으로 유입시키고, 산소 가스는  $10\sim1000\text{sccm}$ 의 양으로 유입시킨다. 티타늄 옥사이드막(15)은 CVD 방법 또는 스퍼터 방법으로 티타늄막을 형성한 후  $\text{N}_2\text{O}$  플라즈마 처리를 실시하여 형성한다.  $\text{N}_2\text{O}$  플라즈마 처리는 챔버의 압력을  $0.1\sim10\text{Torr}$ 로 유지하고, 서브 히터의 온도를  $300\sim500^\circ\text{C}$ 로 유지한 상태에서 고주파 전력을  $10\sim500\text{W}$  인가하여 실시한다. 고주파 전력을 인가할 때는 서브 히터를 그라운드로 하고, 샤워 히터를 전극으로 한다. 이때,  $\text{N}_2\text{O}$  가스의 양은  $20\sim1000\text{sccm}$ 으로 하고, 10초~1분 정도의 시간동안 실시하도록 한다.

도 1(c)는 상부 전극으로 티타늄 나이트라이드막(16)을 형성한 상태의 단면도이다. 티타늄 나이트라이드막(16)은  $400\sim750^\circ\text{C}$ 의 온도에서 형성한다.

### 발명의 효과

상술한 바와 같이 본 발명에 의하면 높은 절연 파괴 전압 특성을 갖는 탄탈륨 옥사이드와 고유전율 특성을 갖는 티타늄 옥사이드의 이중막으로 캐패시터의 유전체막을 형성함으로써 높은 정전 용량과 낮은 누

설 전류 특성을 동시에 확보할 수 있다.

#### (57) 청구의 범위

##### 청구항 1

반도체 소자의 캐패시터 제조 방법에 있어서,

소정의 공정을 통해 하부 구조가 형성된 반도체 기판 상부에 하부 전극으로 폴리실리콘막을 형성하는 단계와,

급속 열질화 공정을 실시하여 상기 폴리실리콘 표면에 질화막을 형성하는 단계와,

상기 질화막 상부에 탄탈륨 옥사이드막 및 티타늄 옥사이드막으로 유전체막을 형성하는 단계와,

상기 티타늄 옥사이드막 상부에 상부 전극으로 티타늄막을 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

##### 청구항 2

제 1 항에 있어서, 상기 급속 열질화 공정은 800 내지 950℃에서 실시하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

##### 청구항 3

제 1 항에 있어서, 상기 탄탈륨 옥사이드막은 탄탈륨 에칠레이트 소오스 가스와 산소 가스를 0.1 내지 10Torr의 압력을 유지하는 반응로에 유입시켜 350 내지 450℃로 가열된 웨이퍼에 증착하는 증착하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

##### 청구항 4

제 3 항에 있어서, 상기 탄탈륨 에칠레이트 소오스 가스는 액상인 탄탈륨 에칠레이트를 170 내지 190℃의 온도를 유지하는 기화기에서 변화시킨 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

##### 청구항 5

제 3 항에 있어서, 상기 탄탈륨 에칠레이트 소오스 가스는 0.001 내지 2cc의 양으로 유입시키는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

##### 청구항 6

제 3 항에 있어서, 상기 산소 가스는 10 내지 1000sccm의 양으로 유입시키는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

##### 청구항 7

제 1 항에 있어서, 상기 티타늄 옥사이드막을 형성하기 전 상기 탄탈륨 옥사이드막에 N<sub>2</sub>O 플라즈마 어닐 공정을 실시하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

##### 청구항 8

제 7 항에 있어서, 상기 N<sub>2</sub>O 플라즈마 어닐 공정은 300 내지 500℃의 온도에서 실시하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

##### 청구항 9

제 1 항에 있어서, 상기 티타늄 옥사이드막은 티타늄막을 형성한 후 N<sub>2</sub>O 플라즈마 처리를 실시하여 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

##### 청구항 10

제 9 항에 있어서, 상기 티타늄막은 CVD 방법 또는 스퍼터 방법으로 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 11

제 9 항에 있어서, 상기  $N_2O$  플라즈마 처리는 챔버의 압력을 0.1 내지 10Torr로 유지하고, 서브 히터의 온도를 300 내지 500℃로 유지한 상태에서 고주파 전력을 10 내지 500W 인가하여 실시하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 12

제 9 항에 있어서, 상기  $N_2O$  플라즈마 처리는  $N_2O$  가스를 20 내지 1000sccm의 양으로 유입시켜 실시하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 13

제 9 항에 있어서, 상기  $N_2O$  플라즈마 처리는 10초 내지 1분 동안 실시하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

도면

도면1

